



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑩ Off nl ungsschrift
DE 199 38 802 A 1

⑤1 Int. Cl.⁷:
G 01 B 21/02
G 01 D 5/244
H 03 M 1/20

⑦1 Aktenzeichen: 199 38 802.4
⑦2 Anmeldetag: 16. 8. 1999
④3 Offenlegungstag: 22. 2. 2001

DE 199 38 802 A 1

⑦1 Anmelder:
MAZet Mikroelektronik Anwendungszentrum
GmbH Thüringen, 99099 Erfurt, DE

⑦4 Vertreter:
Späth, V., Faching. f. Schutzrechtswesen, Pat.-Anw.,
99867 Gotha

⑦2 Erfinder:
Woyzichovski, Roman, Dipl.-Ing., 07745 Jena, DE

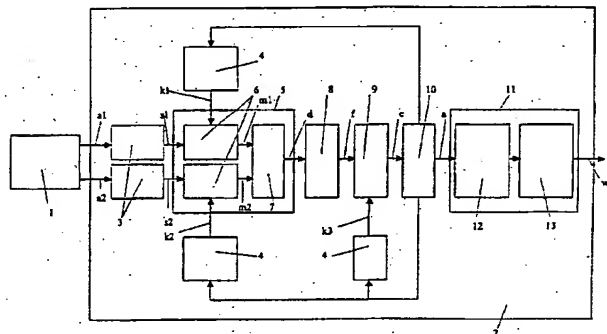
Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

⑤4 Verfahren und Schaltungsanordnung zur Interpolation

⑤7 Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zur Interpolation, insbesondere zum Messen von Strecken und/oder Winkeln. Aufgabe der Erfindung ist ein Interpolationsverfahren und eine digitale Interpolationseinrichtung zur Erhöhung der Auflösung eines inkrementalen Weg- und Winkelmeßsystems bei einfacher und guter Integrationsfähigkeit.

Erfindungsgemäß werden analoge Eingangssignale (a1, a2) jeweils mittels Sigma-Delta-Modulation einer Folge (s1, s2) von Daten geringer Breite derart gewandelt, daß jedes Datum aus den so entstandenen Folgen (s1, s2) arithmetisch verknüpft wird mit Korrekturwerten (k1, k2), daß die Ergebnisfolge (d) bei gleichzeitiger Dezimation gefiltert eine Signalfolge (f) erzeugt, die nach Vergleich mit dem Gütekriterium eines Korrekturwertes (k3) die Korrekturwerte (k1, k2) zum einen so steuert, daß die Ergebnisfolge (d) sich diesem Gütekriterium nähert und zum anderen eine Adressfolge (a) gebildet wird, aus der nach Tiefpassfilterung und Zuordnung die Ausgangssignale (w) gebildet werden.

In der Schaltungsanordnung sind mindestens zwei Sigma-Delta-Modulatoren angeordnet, denen eine Arithmetikeinheit (5), eine Adressiereinrichtung (10) und eine Auswerteschaltung (11) nachgeschaltet sind. Die Auswerteschaltung (11) verlassen Ausgangswerte (w) umgesetzter Adressfolgen (a).



DE 199 38 802 A 1

Beschreibung

Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zur Interpolation, insbesondere zum Messen von Strecken und/oder Winkeln.

In diesem Zusammenhang bekannte digitale Interpolationseinrichtungen aus DE 27 29 697 A1, DE 30 24 716 A1, DE 34 17 015 A1, DE 44 43 898 A1, DE 195 48 385 A1 und DE 195 44 948 A1 digitalisieren die analogen Eingangssignale in hochauflösenden A/D-Wandlern mit hoher Wortbreite. Die Umsetzung der digitalen Signale in zugehörige Phasenwerte erfolgt mit Hilfe eines Tabellenverfahrens oder Algorithmus, die in einer nachfolgenden Stufe in die gewünschte Weginformation umgewandelt werden. Diese Verarbeitungsschritte werden oftmals mittels Rechner durchgeführt. Derartige Interpolationseinrichtungen sind somit sehr aufwendig. Die Anforderungen an A/D-Wandler, Sample & Hold und Verarbeitungseinheiten wachsen mit dem zu erzielenden Unterteilungsgrad und der Frequenz der Eingangssignale. Der aufwendige analoge Datenpfad mit Sample & Hold-Schaltungen und AD-/DA-Wandlern hoher Bitbreite erschwert die Integration.

Eine weitere Vereinfachung des Analogteils ist in der DE 195 02 276 A1 beschrieben. Der analoge Teil wird reduziert auf zwei Sigma-Delta-Modulatoren. Die Bildung der Weginformation erfolgt durch erste unvollständige Filterung jedes Datenstromes aus den Sigma-Delta-Modulatoren, trigonometrische Umsetzung der gefilterten Daten in Winkelwerte und eine Auswertung, die eine abschließende Filterung zur Bildung des erforderlichen Interpolationsfaktors und Zuordnung zu den Ausgabewerten durchführt.

Alternativ sind aus den DE 32 11 554 A1 und DE 39 18 732 A1 Netzwerkinterpolatoren bekannt, in denen mittels Widerstandsnetzwerken, die die erforderlichen Zwischensignale für die Ermittlung der Phaseninformation erzeugen und durch eine Vielzahl von Komparatoren ein digitales Abbild der Phaseninformation gebildet wird. Eine Zuordnungseinheit erzeugt daraus das Ausgangssignal in Form eines parallelen Wortes oder in serieller Form beispielsweise als 90°-phasenverschobene Rechtecksignale.

Netzwerk und Komparatoren bilden einen speziellen A/D-Wandler mit nichtlinearer Kennlinie. Der Interpolationsfaktor bestimmt dabei die Komplexität und Größe des Netzwerkes und die Anzahl der Komparatoren; Eingangsverstärker, Netzwerk, Komparatoren und die Zuordnungseinheit die mögliche Eingangssignalfrequenz. Nachteile solcher Netzwerkinterpolatoren sind neben dem hohen Anteil analoger Schaltungssteile, dem Platzbedarf für das Netzwerk und die Komparatoren auch mögliche Codesprünge in Folge von Störungen.

In den DE 195 06 276 A1 und CH 417 979 werden Anordnungen beschrieben, die diese Nachteile teilweise vermeiden, indem ein Zähler einen Analog-Multiplexer adressiert, der stets ein Signalkaap aus der Menge der Netzwerkabgriffe so auswählt, daß das Differenzsignal dieses Paares minimal wird. Das Vorzeichen der Differenz bestimmt dabei die Zählrichtung des Zählers, so daß eine in Folge von Eingangssignaländerungen hervorgerufene Vergrößerung der Differenz abgebaut wird, d. h. der Zählerstand repräsentiert die Phasenlage und folgt der durch die Eingangssignale definierten Phase. Da der Zähler sich stets nur inkrementweise ändern kann, sind Codesprünge ausgeschlossen. Weiterhin reduziert sich bei dieser Lösung die Anzahl der Komparatoren auf minimal einen, da die Netzwerkabgriffe über einen Analog-Multiplexer an den Komparator geführt werden, dessen Ausgang die Zählrichtung des Zählers bestimmt.

Eine ähnliche Lösung wird in der DE 35 13 343 A1 beschrieben, wobei hier zwei Komparatoren genutzt werden

und das Netzwerk, welches die trigonometrische Umsetzung der Eingangssignale vornimmt, durch multiplizierende D/A-Wandler ersetzt wird, wobei die Wandelkennlinie durch eine Tabelle (ROM) dargestellt wird, die, adressiert durch den Zähler, Werte an den D/A-Wandler gibt.

Aufgabe der Erfindung ist ein Interpolationsverfahren und eine digitale Interpolationseinrichtung zur Erhöhung der Auflösung eines inkrementalen Weg- und Winkelmeßsystems bei einfacher und guter Integrationsfähigkeit.

Erfindungsgemäß wird die Aufgabe durch die kennzeichnenden Merkmale der Ansprüche 1 bis 13 gelöst.

Die Erfindung soll nachstehend an einem Ausführungsbeispiel näher erläutert werden.

In der zugehörigen Zeichnung ist die erfindungsgemäße Lösung in einem Blockschaltbild schematisch dargestellt. Die von einem Positionsgeber 1 durch Abtastung gewonnenen mindestens zwei positionsabhängigen periodischen um 90° phasenverschobenen sinusähnlichen analogen Eingangssignale a1 und a2 werden zum Messen von Wegen und Winkeln verwendet. Sie werden jeweils mittels Sigma-Delta-Modulation in m-Bit breite Wortfolgen, die Folgen s1 und s2, hoher Frequenz und geringer Wortbreite mit zeitlicher Verteilung der Worte enthaltener Amplitudeninformation gewandelt. Die Folgen s1 und s2 entstehen so aus den analogen Eingangssignalen a1 und a2 jeweils durch Überlagerung mit einem Rauschsignal. Dieses Rauschsignal resultiert aus dem Quantisierungsrauschen der Sigma-Delta-Modulation.

Die Daten der Folgen s1 und s2 werden in einer Arithmetikeinheit 5 multipliziert mit Werten aus einer Zuordnungseinheit 4. Aus beiden neuen Folgen wird eine weitere durch Addition bzw. Subtraktion gebildet, die einem digitalen Filter 8 (Tiefpassfilter) zugeführt wird. Der Vergleich des Filterausgabewertes mit einem Wert aus der Zuordnungseinheit 4 steuert die Adressiereinheit 10 für die Auswahl neuer Werte aus der Zuordnungseinheit 4 für die Multiplikation mit den Werten der Sigma-Delta-Modulation.

Im abgeglichenen Zustand pendeln die Adressen zwischen diskreten Werten, die die beste Annäherung an den exakten Sollwert der Eingangssignale a1 und a2 darstellen. Mit anschließender weiterer Filterung und Zuordnung wird der Ausgangswert w gebildet.

Die Ausgabe erfolgt in Abhängigkeit von der Zuordnungseinheit 4 als die bekannten zwei zueinander um 90° phasenverschobene Rechtecksignale oder in einer beliebigen anderen Form (binär, Graycode, ...).

Ähnlich wie in den Netzwerkinterpolatoren wird die Phaseninformation während der Wandlung gewonnen. Es besteht ein linearer Zusammenhang zwischen der Änderung des Winkelwertes der Eingangssignale a1 und a2 und der Änderung des Ausgangswertes w.

Zur Realisierung dieses Verfahrens dient die erfindungsgemäße digitale Interpolationseinrichtung 2.

Eingangssignale a1 und a2 für die Interpolationseinrichtung 2 bilden zwei zueinander um 90° phasenverschobene analoge Eingangssignale a1 und a2, vorzugsweise von an sich bekannten inkrementellen Positionsgebern 1. Aus den beiden Eingangssignalen a1 und a2 wird in der Interpolationseinrichtung 2 der Ausgangswert w mit der sich aus dem geforderten Interpolationsgrad ergebenden Auflösung gewonnen. Zunächst werden die analogen Eingangssignale a1 und a2 je einem Sigma-Delta-Modulator 3 zugeführt. Die Ausgangssignale der Sigma-Delta-Modulatoren 3, die Folgen s1 und s2, werden in einer Arithmetikeinheit 5 multipliziert mit je einem Wert der Zuordnungseinheit 4, nach Addition bzw. Subtraktion der Signalfolgen m1, m2 voneinander wird die Ergebnisfolge d einem digitalen Filter 8 (Tiefpass) zugeführt, dessen Ausgangssignale die Signalfolge f ist.

Diese wird verglichen mit einem Wert aus der Zuordnungseinheit 4. Im Ergebnis dieses Vergleiches wird ein Adresswert so verändert, daß die Auswahl von Werten aus der Zuordnungseinheit 4 durch den Adresswert so geschieht, daß ein Gütekriterium – Korrekturwert k_3 – erreicht wird. Der Adresswert repräsentiert die gesuchte Phaseninformation beaufschlagt mit geringem Restauschlag. Anschließend Filterung der Adresswerte und Zuordnung bilden den interpolierten Ausgangswert w .

Die Realisierung der Arithmetikeinheit 5 erfolgt beispielsweise:

- Zwei Multiplikationseinheiten 6, derart, daß Signalfolge $m_1 = \text{Folge } s_1 \cdot \text{Korrekturwert } k_1$ und Signalfolge $m_2 = \text{Folge } s_2 \cdot \text{Korrekturwert } k_2$, wobei Korrekturwerte k_1 und k_2 aus der Zuordnungseinheit 4 und anschließend fortlaufend die Differenz der Signalfolgen m_1, m_2 aus beiden Produktfolgen gebildet wird
- bei Bitbreite $m = 1$ besteht die Multiplikationseinheit 6 darin, den Wert der Zuordnungseinheit 4 unbeeinflusst zu lassen, wenn Folge $s_1 = '1'$ bzw. Folge $s_2 = '1'$ und zu negieren, wenn Folge $s_1 = '0'$ bzw. Folge $s_2 = '0'$
- bei Bitbreite $m = 1$ ergeben sich beide Ausgänge der Sigma-Delta-Modulatoren 3 als Wort gefaßt lediglich vier unterschiedliche Zustände, die unter Einbeziehung der Addition bzw. Subtraktion die Summen und Differenzen der Werte der Zuordnungseinheit 4 und deren Negierte bestimmen. Bei Ablage dieser Werte in der Zuordnungseinheit 4 kann damit die Additions- bzw. Subtraktionseinheit 7 und die Zuordnungseinheit 4 vereinfacht werden.

Der digitale Filter 8 (Tiefpass) kann im einfachsten Falle aus einem rücksetzbaren Integrierer oder Kammfilter erster Ordnung bestehen. Die Vergleichsanordnung 9 wertet bei exakt sinusförmigem Verlauf der Eingangssignale a_1 und a_2 und 90° Phasenlage zueinander das Vorzeichen der Folge aus. Bei anderen Signalverläufen sind die Werte der Signalfolge f mit Korrekturwerten k_3 der Zuordnungseinheit 4 zu vergleichen. Die Adressiereinrichtung 10 kann durch einen Zähler ausgeführt werden, der abhängig vom Vergleich inkrementiert bzw. dekrementiert wird, die Zuordnungseinheit 4 (z. B. ROM) adressiert und nach abschließender Filterung mittels digitalem Filter 12 (Tiefpass) und passieren der Zuordnungseinheit 13 das Ausgangssignal w der Interpolationseinrichtung 2 darstellt.

Im folgenden soll die Wirkungsweise der Interpolationseinrichtung 2 beschrieben werden:

Die Interpolationseinrichtung 2 wertet die vom Positionsgeber 1 gelieferten zueinander um 90° phasenverschobenen sinusähnlichen analogen Eingangssignale a_1 und a_2 (Sinus- und Cosinussignal) so aus, daß das Ausgangssignal w der Interpolationseinrichtung 2 die vom Positionsgeber 1 detektierte Wegänderung repräsentiert. Die vom Positionsgeber 1 gelieferten Eingangssignale a_1 und a_2 werden in den zugehörigen Sigma-Delta-Modulatoren 3 in die m -Bit breiten Wortfolgen, die Folgen s_1 und s_2 , hoher Frequenz und geringer Wortbreite gebracht. Die Amplitudeninformation der analogen Eingangssignale a_1 und a_2 sind am Ausgang der Sigma-Delta-Modulatoren 3 nur in der zeitlichen Verteilung der Worte enthalten. Ein für jede der beiden Folgen s_1 und s_2 nachfolgende Multiplikationseinheit 6 bildet aus diesen und den Korrekturwerten k_1 und k_2 einer Zuordnungseinheit 4 die Signalfolgen m_1 und m_2 . Aus den Signalfolgen m_1, m_2 wird in der Additions-/Subtraktionseinheit 7 die neue Ergebnisfolge d erzeugt und einem digitalen Filter 8 (Tiefpass) zugeführt. Bei exaktem sinusförmigen Verlauf der Eingangssignale a_1 und a_2 restauriert der Filter 8 die In-

formation $\sin(\alpha) \cdot \cos(\beta) - \cos(\alpha) \cdot \sin(\beta) = \sin(\alpha - \beta)$, wo $\sin(\alpha)$ und $\cos(\alpha)$ die Eingangssignale a_1 und a_2 und $\cos(\beta)$ und $\sin(\beta)$ die Korrekturwerte k_1 und k_2 der Zuordnungseinheit 4 repräsentieren.

- 5 Andere Umsetzfunktionen sind bei andersartigen Eingangssignalen a_1, a_2 wählbar, um z. B. Fehler des Positionsgebers 1 zu korrigieren. In der nachfolgenden Vergleichsanordnung 9 wird eine Steuerinformation c für eine Adressiereinrichtung 10, die durch einen Vor-/Rückwärtszähler ausgeführt ist, so abgeleitet, daß die Werte der Signalfolge f an das Gütekriterium der Korrekturwerte k_3 aus der Zuordnungseinheit 4 angeglichen wird. Im Falle von sinusförmigen Eingangssignalen a_1, a_2 wird $\sin(\alpha - \beta)$ minimiert. Ist β der Zählwert (Adresswert der Zuordnungseinheit 4), dann wird, wenn $\sin(\alpha - \beta) = 0$, $\beta = \alpha$, und β entspricht damit der Phasenlage der Eingangssignale a_1, a_2 . Bei fortlaufender Wegänderung folgt der Wert β , repräsentiert durch die Werte der Adressfolge a , dem Phasenwinkel α der Eingangssignale a_1, a_2 . Verfahren und Schaltungsanordnung realisieren eine digitale Interpolation, mit der die Vorteile der Sigma-Delta-Umsetzung genutzt werden. Das Verfahren der Sigma-Delta-A/D-Umsetzung ermöglicht, die Anteile der analogen Schaltungskomponenten zu reduzieren und im Digitalteil eine hohe Auflösung zu erreichen. Die Nutzung geringbittiger Ausgangssignale der Sigma-Delta-Modulatoren als Eingangsinformation für die Arithmetikeinheit 5 gestattet eine starke Vereinfachung solcher Operationen wie die Multiplikation. Die Bildung nur eines zu bewertenden Kriteriums vereinfacht die digitale Auswerteschaltung 11 (digitale Filter) und damit die Schaltungsintegration. Die Vorteile des Verfahrens ermöglichen, die nichtlineare A/D-Umsetzung weitgehend im digitalen Teil der Schaltung zu integrieren. Die bei anderen Verfahren entstehenden Fehler durch nicht ideale analoge Bauelemente sowie durch Aliasinfraktkte herkömmlicher A/D-Wandler werden weitgehend minimiert.

Aufstellung der verwendeten Bezugszeichen

- 40 a Adressfolge
- a1 Eingangssignal
- a2 Eingangssignal
- c Steuerinformation
- d Ergebnisfolge
- 45 f Signalfolge
- k1 Korrekturwert
- k2 Korrekturwert
- k3 Korrekturwert
- m1 Signalfolge
- 50 m2 Signalfolge
- s1 Folge
- s2 Folge
- w Ausgangswert
- 1 Positionsgeber
- 55 2 Interpolationseinrichtung
- 3 Sigma-Delta-Modulator
- 4 Zuordnungseinheit
- 5 Arithmetikeinheit
- 6 Multiplikationseinheit
- 60 7 Additions-/Subtraktionseinheit
- 8 digitales Filter
- 9 Vergleichsanordnung
- 10 Adressiereinrichtung
- 11 Auswerteschaltung
- 65 12 digitales Filter
- 13 Zuordnungseinheit

Patentansprüche

1. Verfahren zur Interpolation von zwei positionsabhängigen periodischen zueinander um 90° phasenverschobenen sinusähnlichen Analogsignalen zum Messen von Wegen und/oder Winkeln, **dadurch gekennzeichnet**, daß analoge Eingangssignale (a1, a2) jeweils mittels Sigma-Delta-Modulation einer Folge (s1, s2) von Daten geringer Breite gewandelt werden, daß jedes Datum aus den so entstandenen Folgen (s1, s2) arithmetisch verknüpft wird mit Korrekturwerten (k1, k2), daß die Ergebnisfolge (d) bei gleichzeitiger Dezimation gefiltert eine Signalfolge (f) erzeugt, die nach Vergleich mit dem Gütekriterium eines Korrekturwertes (k3) die Korrekturwerte (k1, k2) zum einen so steuert, daß die Ergebnisfolge (d) sich diesem Gütekriterium nähert und zum anderen eine Adressfolge (a) gebildet wird, aus der nach Tiefpassfilterung und Zuordnung die Ausgangssignale (w) gebildet werden.
2. Verfahren zur Interpolation nach Anspruch 1, dadurch gekennzeichnet, daß bei exakter Phasenlage und sinusförmigem Verlauf der Eingangssignale (a1, a2) die arithmetische Operation $d = s1 \cdot k1 + s2 \cdot k2$ ausgeführt, der Vergleich der Ergebnisfolge (d) mit dem Korrekturwert (k3) gleich Null durchgeführt und abhängig davon die Adressfolge (a) in fester Schrittweite ink-/dekrementiert werden und diese Adressfolge (a) die Korrekturwerte (k1, k2) beeinflussen und einen linearen Zusammenhang zur Winkelinformation der Eingangssignale (a1, a2) herstellen.
3. Verfahren zur Interpolation nach Anspruch 1 bis 2, dadurch gekennzeichnet, daß bei Wortbreite $s = 1$ der Sigma-Delta-Modulatoren (3) die Multiplikation $s1 \cdot k1$ und $s2 \cdot k2$ sich reduziert zum Korrekturwert (k1) bei Folge (s1) gleich '1' bzw. Korrekturwert (k2) bei Folge (s2) gleich '1' und zu minus Korrekturwert (k1) bei Folge (s1) gleich '0' bzw. minus Korrekturwert (k2) bei Folge (s2) gleich '0' und daß bei hinreichender Wortbreite der Korrekturwerte (k1, k2) die Negation vereinfacht durch das Einer-Komplement erfolgen kann.
4. Verfahren zur Interpolation nach Anspruch 1 bis 3, dadurch gekennzeichnet, daß die arithmetische Operation $s1 \cdot k1 + s2 \cdot k2$ zusammengefaßt wird, da wegen der Wortbreite s gleich 1 sich für alle logischen Zustände der Folgen (s1, s2) vier Fälle unterscheiden lassen, die sich arithmetisch als Summe bzw. Differenz der Korrekturwerte (k1, k2) und deren Negierte darstellen lassen, so daß neue Korrekturwerte (k1, k2) gebildet werden können abhängig vom Zustand der Folgen (s1, s2) und damit die arithmetischen Operationen vereinfacht werden.
5. Verfahren zur Interpolation nach Anspruch 1, dadurch gekennzeichnet, daß die Tiefpassfilterung eine Unterabtastung beinhaltet.
6. Schaltungsanordnung zur digitalen Interpolation, dadurch gekennzeichnet, daß mindestens zwei Sigma-Delta-Modulatoren angeordnet sind, denen über eine die Folgen (s1, s2) in die Signalfolge (f) wandelnde Arithmetikeinheit (5), die gefilterte Signalfolge (f) im Vergleich mit einem Gütekriterium des Korrekturwertes (k3) vergleichende und die resultierende Steuerinformation (c) in Adressfolge (a) wandelnde Adressiereinrichtung (10) nachgeschaltet ist und daß die Adressiereinrichtung (10) ihrerseits zum einen die Arithmetikeinheit (5) so beeinflußt, daß die gefilterte Signalfolge (f) dem Gütekriterium des Korrekturwertes (k3) angeglichen wird und zum anderen mit einer

Adressfolge (a) in Ausgangswerte (w) umsetzende Auswerteschaltung (11) verbunden ist.

7. Schaltungsanordnung nach Anspruch 6, dadurch gekennzeichnet, daß die Arithmetikeinheit (5) für den Fall der exakten Phasenlage der Eingangssignale (a1, a2) aus Multiplikationseinheiten (6) und einer Additions-/Subtraktionseinheit (7) besteht.
8. Schaltungsanordnung nach Anspruch 7, dadurch gekennzeichnet, daß der Filter (8) ein einfacher Integrator mit Rücksetzen ist.
9. Schaltungsanordnung nach Anspruch 7, dadurch gekennzeichnet, daß der Filter (8) ein Kammfilter erster Ordnung ist.
10. Schaltungsanordnung nach Anspruch 6, dadurch gekennzeichnet, daß die Adressiereinrichtung (10) aus einem Vor-/Rückwärtszähler besteht.
11. Schaltungsanordnung nach Anspruch 10, dadurch gekennzeichnet, daß der Zähler ein Graycodezähler ist, und die beiden unteren Bits des Zählers zwei zueinander um 90° phasenverschobene Rechtecksignale bilden, die die Ausgangswerte (w) repräsentieren.
12. Schaltungsanordnung nach Anspruch 11, dadurch gekennzeichnet, daß der Zähler ein Binär-Zähler ist.
13. Schaltungsanordnung nach Anspruch 6, dadurch gekennzeichnet, daß die Auswerteschaltung (11) aus einem digitalen Filter (12) mit Tiefpassverhalten und einer Zuordnungseinheit (13) besteht.

Hierzu 1 Seite(n) Zeichnungen



- Leerseite -

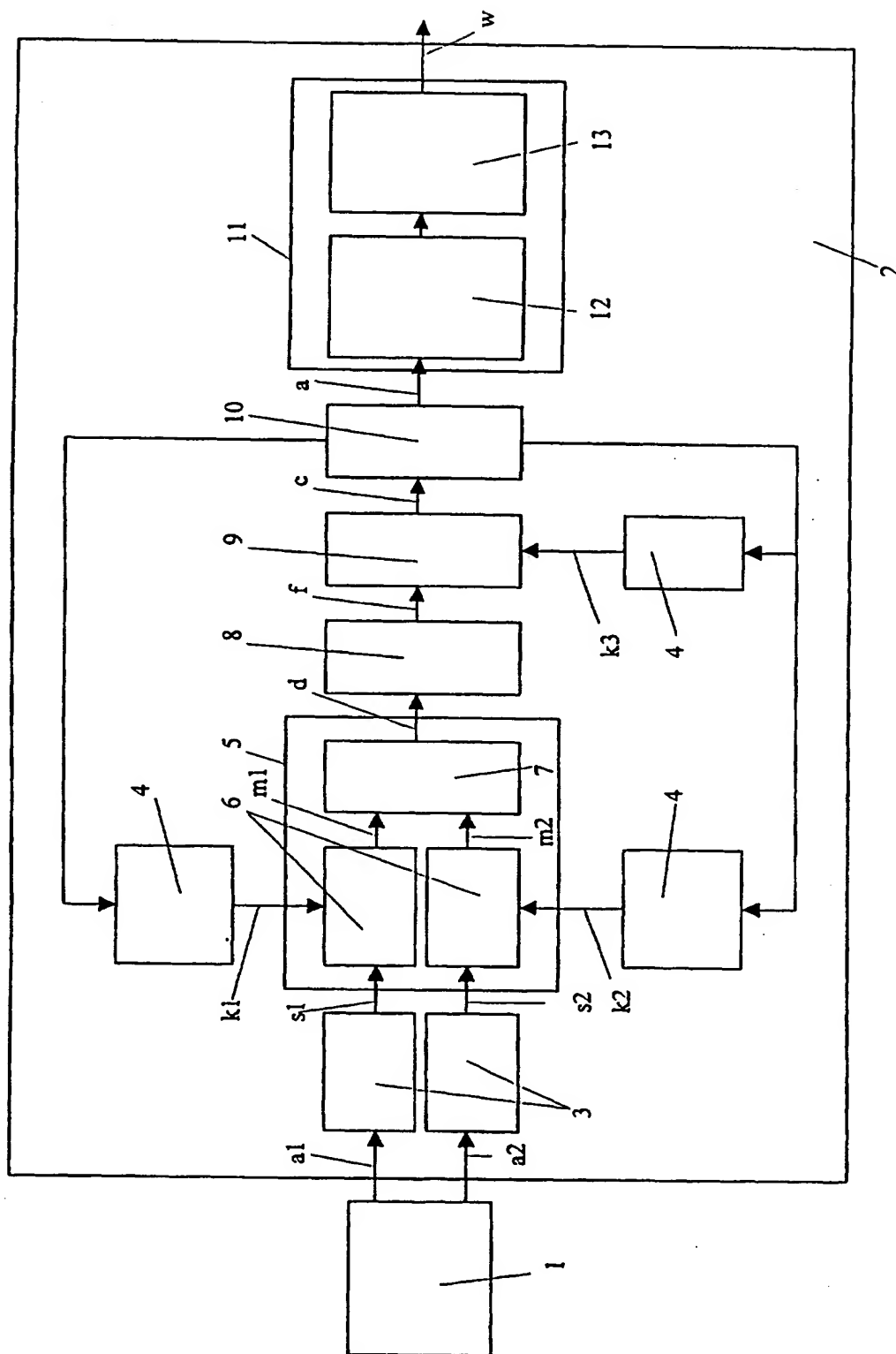


Figure 1

Interpolation involves converting analogue input signals to narrow width data sequence using sigma delta modulation, arithmetically combining with correction values, filtering, control

Patent Number: DE19938802
Publication date: 2001-02-22
Inventor(s): WOYZICHOVSKI ROMAN (DE)
Applicant(s): MAZET MIKROELEKTRONIK ANWENDUN (DE)
Requested Patent: DE19938802
Application Number: DE19991038802 19990816
Priority Number(s): DE19991038802 19990816
IPC Classification: G01B21/02; G01B21/22; G01D5/244; H03M1/20
EC Classification: H03M1/30Q4
Equivalents:

Abstract

The method involves converting analogue input signals into a sequence of small width data using sigma delta modulation. Each data item is arithmetically combined with correction values, the sequence of results is filtered with simultaneous decimation to produce a signal sequence and to enable control a correction value to meet a quality criterion and to form an address sequence producing the output signal after low pass filtering and allocation. An Independent claim is also included for a circuit for digital interpolation.

Data supplied from the esp@cenet database - I2

DOCKET NO: AR 14

SERIAL NO: _____

APPLICANT: Anton Dedi

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100

THIS PAGE BLANK (USPTO)